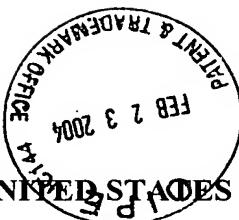


Docket No. 243444US2/hyc



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Hiroaki HAZAMA, et al.

GAU:

SERIAL NO: 10/673,177

EXAMINER:

FILED: September 30, 2003

FOR: NONVOLATILE SEMICONDUCTOR MEMORY DEVICE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number _____, filed _____, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. _____ Date Filed _____

- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2002-286055	September 30, 2002

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. _____ filed _____
- ☐ were submitted to the International Bureau in PCT Application Number _____
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. _____ filed _____; and
- ☐ (B) Application Serial No.(s) _____
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

Marvin J. Spivak

Registration No. 24,913

Joseph A. Scafetta, Jr.
Registration No. 26, 803

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 9 月 3 0 日
Date of Application:

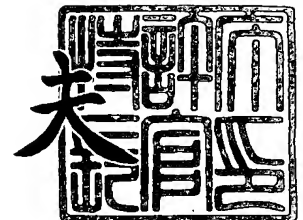
出 願 番 号 特 願 2 0 0 2 - 2 8 6 0 5 5
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 2 8 6 0 5 5]

出 願 人 株 式 会 社 東 芝
Applicant(s):

2 0 0 3 年 9 月 1 7 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 02P240

【提出日】 平成14年 9月30日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/00

【発明の名称】 不揮発性半導体メモリ装置

【請求項の数】 9

【発明者】

 【住所又は居所】 三重県四日市市山之一色町 8 0 0 番地 株式会社東芝
 四日市工場内

 【氏名】 間 博顕

【発明者】

 【住所又は居所】 三重県四日市市山之一色町 8 0 0 番地 株式会社東芝
 四日市工場内

 【氏名】 大谷 紀雄

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100092820

 【弁理士】

 【氏名又は名称】 伊丹 勝

 【電話番号】 03-5216-2501

【手数料の表示】

 【予納台帳番号】 026893

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9810498

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性半導体メモリ装置

【特許請求の範囲】

【請求項 1】 複数個直列接続された電氣的書き換え可能な不揮発性メモリセルと、この直列接続されたメモリセルに直列接続された選択ゲートトランジスタとを有する不揮発性半導体メモリ装置において、

前記選択ゲートトランジスタに隣接するメモリセルは、データ記憶には用いられないダミーセルである

ことを特徴とする不揮発性半導体メモリ装置。

【請求項 2】 前記ダミーセルは、データ消去時に他のメモリセルと同じバイアス電圧が印加される

ことを特徴とする請求項 1 記載の不揮発性半導体メモリ装置。

【請求項 3】 データ読み出し及び書き込み時に、前記ダミーセルに、非選択のメモリセルと同じバイアス電圧が印加される

ことを特徴とする請求項 1 又は 2 記載の不揮発性半導体メモリ装置。

【請求項 4】 複数個直列接続された電氣的書き換え可能な不揮発性メモリセルと、この直列接続されたメモリセルに直列接続された選択ゲートトランジスタとを有する不揮発性半導体メモリ装置において、

前記選択ゲートトランジスタに隣接するメモリセルは、データ消去時に他のメモリセルと異なるバイアス電圧が印加される

ことを特徴とする不揮発性半導体メモリ装置。

【請求項 5】 データ消去は、ウェル内に形成された全メモリセルについて、その制御ゲートを低レベルに保持し、前記ウェルに高レベルの消去電圧を印加して一括消去するものであって、前記選択ゲートトランジスタに隣接するメモリセルの制御ゲートに与えられる低レベル電圧が、他のメモリセルの制御ゲートに与えられるそれより低く設定される

ことを特徴とする請求項 4 記載の不揮発性半導体メモリ装置。

【請求項 6】 選択されたメモリセルにステップ的に電圧値が高くなる書き込みパルス電圧を与えるデータ書き込み時、前記選択ゲートトランジスタに隣接

するメモリセルが選択された時の書き込みパルス電圧初期値が、他のメモリセルが選択されたときのそれと異なる値に設定される

ことを特徴とする請求項4又は5記載の不揮発性半導体メモリ装置。

【請求項7】 前記データ書き込み時、前記選択ゲートトランジスタに隣接するメモリセルが選択された時の書き込みパルス電圧初期値が、他のメモリセルが選択されたときのそれより高く設定される

ことを特徴とする請求項6記載の不揮発性半導体メモリ装置。

【請求項8】 複数個直列接続された電氣的書き換え可能な不揮発性メモリセルと、この直列接続されたメモリセルの一端とビット線の間には挿入された第1の選択ゲートトランジスタ及び他端とソース線の間には挿入された第2の選択ゲートトランジスタとを有するNANDセルユニットが複数個配列された不揮発性半導体メモリ装置において、

前記各NANDセルユニット内で第1及び第2の選択ゲートトランジスタに隣接するメモリセルは、データ記憶には用いられないダミーセルであって、データ消去時に他のメモリセルと同じバイアス電圧が印加され、データ読み出し及び書き込み時には、非選択のメモリセルと同じバイアス電圧が印加される

ことを特徴とする不揮発性半導体メモリ装置。

【請求項9】 複数個直列接続された電氣的書き換え可能な不揮発性メモリセルと、この直列接続されたメモリセルの一端とビット線の間には挿入された第1の選択ゲートトランジスタ及び他端とソース線の間には挿入された第2の選択ゲートトランジスタとを有するNANDセルユニットが複数個配列された不揮発性半導体メモリ装置において、

ウェル内に形成された全メモリセルについて、その制御ゲートを低レベルに保持し、前記ウェルに高レベルの消去電圧を印加して一括消去するデータ消去モードと、選択されたメモリセルにステップ的に電圧値が高くなる書き込みパルス電圧を与えるデータ書き込みモードとを有し、

前記データ消去モードでは、前記第1及び第2の選択ゲートトランジスタに隣接するメモリセルの制御ゲートに与えられる低レベル電圧が、他のメモリセルの制御ゲートに与えられるそれより低く設定され、

前記データ書き込みモードでは、前記第1及び第2の選択ゲートトランジスタに隣接するメモリセルが選択された時の書き込みパルス電圧初期値が、他のメモリセルが選択されたときのそれより高く設定されることを特徴とする不揮発性半導体メモリ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、不揮発性半導体メモリ装置に係り、特にNAND型EEPROMに関する。

【0002】

【従来の技術】

不揮発性半導体メモリでは通常、浮遊ゲートと制御ゲートが積層されたMOSトランジスタ構造のメモリセルが用いられる。NAND型EEPROMでは、このようなメモリセルが複数個直列接続されてNANDセルユニットが構成される。NANDセルユニットの一端は、選択ゲートトランジスタを介してビット線に、他端は同様に選択ゲートトランジスタを介してソース線に接続される。

【0003】

メモリセルの微細化に伴い、NANDセルユニット内の隣接メモリセル間の距離が短くなってきている。このため、メモリセルの浮遊ゲートは、そのメモリセルのチャネルや制御ゲートとの容量結合のみならず、隣接メモリセルの浮遊ゲートや制御ゲートとの間の容量結合も無視できない大きさとなってきている。

【0004】

NAND型EEPROMの場合、データ書き込みや消去は、制御ゲートとチャネル（p型ウェル）間に電圧を与えて、トンネル電流によりチャネルから浮遊ゲートに電子を注入したり、浮遊ゲートの電子をチャネルに放出したりする。この場合原理的には、制御ゲートと浮遊ゲート間の容量と、浮遊ゲートとチャネル間の容量により決まる容量カップリング比によって、浮遊ゲートの電位が決まる。

【0005】

しかし、メモリセル間の距離が短くなると、隣接メモリセル間の容量が上述し

たカップリング比に影響する。直列に接続されたNANDセルユニット内のメモリセルは同一構造であり、その中でのカップリング比のバラツキ要因は形状パラメータであるが、選択ゲートトランジスタの隣りのメモリセルに着目すると、その片側はメモリセルであるがもう一方は選択ゲートトランジスタである。そして選択ゲートトランジスタは、構造および動作電圧がメモリセルのそれと異なる。このため、選択ゲートトランジスタに隣接するメモリセルでは、それ以外のメモリセルとは、書き込み／消去特性が異なることになる。

【0006】

具体的に、データ消去の場合について、図13を用いて説明する。図13では、NANDセルユニット内のビット線BL側の選択ゲートトランジスタとそれに続く2つのメモリセルの範囲について、データ消去時のバイアス関係を示している。データ消去は、ブロック単位で一括消去が行われるが、全てのワード線WLに0V、p型ウェルに消去電圧 $V_{era} = 18V$ を印加し、選択ゲートSG及びビット線BLは、フローティングとする。図では示していないが、ソース線及びソース線側の選択ゲート線も同様にフローティングとする。

【0007】

これによりメモリセルでは、浮遊ゲートFGの電子がチャネルに放出される。このとき、選択ゲート線SGDに隣接するワード線WL0のメモリセルでは、その浮遊ゲートFGと選択ゲートSGとの間の容量C3により、浮遊ゲートFGの電位が影響を受ける。即ち、選択ゲートSGをフローティングにすると、その電位はp型ウェルの消去電圧 V_{era} にほぼ等しくなる。この結果、ワード線WL0のメモリセルの浮遊ゲートFGの電位は、制御ゲートSGとの間の容量C3を介した結合によって、他のメモリセルの浮遊ゲートの電位よりも高くなり、消去されにくくなる。ソース線側の選択ゲート線に隣接するワード線により選択されるメモリセルでも同様である。

【0008】

図14は、16個のメモリセルによりNANDセルユニットを構成した場合について、テストストラクチャーを用いてデータ消去後のしきい値(Erase V_{th})を16本のワード線WL毎に示している。選択ゲート脇のワード線WL1, WL1

6で消去しきい値が他のメモリセル（ワード線WL2-WL15に接続されたメモリセル）よりも約0.8V高くなっている。

【0009】

データ書き込みに際しても、似たような問題が生じる。データ書き込みは、p型ウェルを0Vとし、NANDセルユニットのチャネルを書き込みデータに応じたプリチャージした後、選択ワード線に書き込み電圧 V_{pgm} を与える。これにより、チャネルを V_{ss} に設定した“0”データが与えられたメモリセルでは、浮遊ゲートに電子が注入される。チャネルを V_{cc} にプリチャージしてフローティングにした“1”データが与えられたメモリセル（即ち書き込み禁止のメモリセル）では、チャネルが容量カップリングにより電位上昇して電子注入が生じない。この書き込み方式は、セルフブースト方式と呼ばれる。非選択ワード線には中間電圧を印加することで、保持データが破壊されないようにする。

【0010】

図15は、NANDセルユニット内の16本の全ワード線に順次書き込みパルスを印加して書き込みを行った場合の書き込み後のしきい値(Program V_{th})のワード線依存性を示している。選択ゲート線に隣接するワード線WL1, WL16については、選択ワード線からの容量結合により、他のワード線とは書き込み時の動作条件が異なる。このため、書き込みが他のメモリセルの書き込みよりも遅く、しきい値電圧が約0.5V低くなっている。

【0011】

なお、セルフブースト方式の改良として、選択ワード線に隣接するワード線に他の非選択ワード線より低い電圧を与えて、選択ワード線に沿ったメモリセルのチャネルのみを効率的に昇圧制御する方式は、ローカルセルフブースト方式として知られている（例えば、特許文献1参照）。特許文献1には、データ消去時に選択ゲート線をフローティングではなく、0Vに設定する例も示されている（特許文献1, FIG. 3参照）。

【0012】

データ書き込み時、選択ゲート線に与える電圧が書き込み特性に影響を与えることを考慮して、選択ゲートトランジスタのしきい値を動作条件に応じて設定す

るという提案はなされている（例えば、特許文献 2 参照）。これは、選択ゲートトランジスタによってビット線から NAND セルチャネルに転送される電圧を問題としている。

【 0 0 1 3 】

【特許文献 1】

米国特許第 6, 0 1 1, 2 8 7 号明細書

【特許文献 2】

特開平 1 1 - 8 6 5 7 1 号公報

【 0 0 1 4 】

【発明が解決しようとする課題】

上述のように、従来の NAND 型 EEPROM では、微細化が進むにつれて、選択ゲートトランジスタから隣接メモリセルへの容量結合が無視できなくなり、NAND セルユニット内のメモリセルの消去しきい値や書き込みしきい値のばらつきが大きくなるという問題があった。

【 0 0 1 5 】

この発明は、消去或いは書き込みしきい値のばらつき低減を図った不揮発性半導体メモリ装置を提供することを目的としている。

【 0 0 1 6 】

【課題を解決するための手段】

この発明は、複数個直列接続された電氣的書き換え可能な不揮発性メモリセルと、この直列接続されたメモリセルに直列接続された選択ゲートトランジスタとを有する不揮発性半導体メモリ装置において、前記選択ゲートトランジスタに隣接するメモリセルは、データ記憶には用いられないダミーセルであることを特徴とする。

このダミーセルには例えば、データ消去時に他のメモリセルと同じバイアス電圧が印加される。

【 0 0 1 7 】

この発明によると、選択ゲートトランジスタに隣接して、データ消去時に他のメモリセルと同じバイアス電圧が与えられるダミーセルを配置することによって

、メモリセルの消去しきい値のばらつきを低減することができる。

データ読み出し及び書き込み時には、上述したダミーセルには、非選択のメモリセルと同じバイアス電圧が印加されるようにする。これにより、読み出しは従来と同様に行われ、また書き込みしきい値のばらつきが低減される。

【0018】

この発明はまた、複数個直列接続された電氣的書き換え可能な不揮発性メモリセルと、この直列接続されたメモリセルに直列接続された選択ゲートトランジスタとを有する不揮発性半導体メモリ装置において、前記選択ゲートトランジスタに隣接するメモリセルは、データ消去時に他のメモリセルと異なるバイアス電圧が印加されることを特徴とする。

【0019】

この発明によると、ダミーセルを用いることなく、データ消去時のメモリセルのバイアス電圧を、選択ゲートトランジスタに隣接するものとその以外とで異ならせることによって、消去しきい値のばらつきを低減することができる。具体的にデータ消去は、ウェル内に形成された全メモリセルについて、その制御ゲートを低レベルに保持し、ウェルに高レベルの消去電圧を印加して一括消去するものであって、選択ゲートトランジスタに隣接するメモリセルの制御ゲートに与えられる低レベル電圧が、他のメモリセルの制御ゲートに与えられるそれより低く設定される。また、データ書き込みは、選択されたメモリセルにステップ的に電圧値が高くなる書き込みパルス電圧を与えるものとし、このとき選択ゲートトランジスタに隣接するメモリセルが選択された時の書き込みパルス電圧初期値は、他のメモリセルが選択されたときのそれと異なる値（具体的は高い値）に設定されるようにする。これにより、書き込みしきい値のばらつきが低減される。

【0020】

【発明の実施の形態】

以下、図面を参照して、この発明の実施の形態を説明する。

〔実施の形態1〕

図1は、一実施の形態によるNAND型EEPROMのブロック構成を示す。メモリセルアレイ1は後述のように、電氣的書き換え可能な不揮発性メモリセル

による NAND セルユニットを配列して構成される。センスアンプ／データラッチ 2 は、メモリセルアレイ 1 のビット線データをセンスするセンスアンプ兼書き込みデータを保持するデータラッチである。

【0021】

メモリセルアレイ 1 のビット線はカラムデコーダ 2 により選択され、ワード線はロウデコーダ／ワード線ドライバ 5 により選択されて駆動される。ロウデコーダ／ワード線ドライバ 5 及びカラムデコーダ 3 には、I/O バッファ 4 を介し、アドレスレジスタ 6 を介して、ロウアドレス及びカラムアドレスが供給される。ビット線と外部 I/O 端子の間は、I/O バッファ 4 を介してデータの授受が行われる。

【0022】

データ書き込みや消去のシーケンス制御は、制御回路 7 により行われる。書き込み及び消去に必要な高電圧は、制御回路 7 により制御される高電圧発生回路 8 により、動作モードに応じて発生される。

【0023】

図 2 は、メモリセルアレイ 1 の等価回路である。メモリセル MC (MC 0 ~ MC 15) は、浮遊ゲートと制御ゲートが積層された MOS トランジスタ構造を有する。この様なメモリセル MC が複数個 (図の例では 16 個) 直列接続されて NAND セルユニットが構成される。NAND セルユニットの一端とビット線 BL の間には選択ゲートトランジスタ SG 1 が挿入され、他端とソース線 SL の間にも同様に選択ゲートトランジスタ SG 2 が挿入される。

【0024】

この実施の形態においては、NAND セルユニット内に更に、ビット線側の選択ゲートトランジスタ SG 1 とメモリセル MC 0 の間にダミーセル DC 0 が、同様にソース線側の選択ゲートトランジスタ SG 2 とメモリセル MC 15 の間にもダミーセル DC 1 が挿入されている。これらのダミーセル DC 0, DC 1 は、メモリセル MC と同じ構造を有するが、これらではデータの書き込みや読み出しは行われない。即ちダミーセル DC 0, DC 1 は、データ記憶素子としては用いられない。

【0025】

NANDセルユニット内の各メモリセルMCの制御ゲートは、ワード線WL（WL0～WL15）に接続される。ワード線WLは、その方向に並ぶ複数のメモリセルの制御ゲートに共通接続される。選択ゲートトランジスタSG1，SG2のゲートは、ワード線WLと並行する選択ゲート線SGD，SGSとして配設される。ダミーセルDC0，DC1の制御ゲートは同様に、ワード線WLと並行するダミーワード線DWL0，DWL1として連続的に配設される。

【0026】

図3は、一つのNANDセルユニットに着目した平面図を示し、図4はそのI-I'断面図を示している。n型シリコン基板10にp型ウェル11が形成され、このp型ウェル11内にワード線方向の複数のNANDセルユニットが形成される。このp型ウェル11内に形成される複数のNANDセルユニットの範囲がデータの一括消去の単位であるブロックとなる。

【0027】

メモリセルMCは、p型ウェル11にトンネル絶縁膜12を介して形成された第1層多結晶シリコン膜による浮遊ゲート13とこの上に絶縁膜を介して形成された第2層多結晶シリコン膜による制御ゲート15を有する。制御ゲート15は、一方向に連続的に形成されてワード線WLとなる。ダミーセルDC0，DC1は、メモリセルMCと同じ構造を有し、それらの制御ゲート15はやはり連続的に形成されてダミーワード線DWL0，DWL1となる。

【0028】

選択ゲートトランジスタSG1，SG2のゲート電極は、メモリセルの浮遊ゲート13と同じ第1層多結晶シリコン膜と制御ゲート14と同じ第2層多結晶シリコン膜を適当な位置で短絡して、制御ゲート線SGD，SGSとしてパターン形成される。これら選択ゲートトランジスタSG1，SG2のゲート電極15d，15sは、メモリセルMC及びダミーセルDCの制御ゲート15より幅広に形成される。これらのワード線WL、選択ゲート線をパターン形成した後、ソース、ドレインとなるn型拡散層16が形成される。

メモリセルアレイの上は層間絶縁膜20で覆われ、この上にソース線（SL）

21が形成される。更に層間絶縁膜22を介して、ビット線(BL)23が形成される。

【0029】

この実施の形態のEEPROMでのデータ読み出し、消去及び書き込みのバイアス条件を、図5に示す。

選択されたブロック内のデータ消去は、ビット線BL及び選択ゲート線SGD、SGSをフローティングとし、全ワード線WLを0Vとし、p型ウェルに消去電圧 $V_{era} = 18V$ を印加する。このとき、ダミーワード線DWL0、DWL1も0Vとする。

【0030】

これにより、選択ブロック内のメモリセルの浮遊ゲートから電子が放出されて、データが消去される。浮遊ゲートに電子が蓄積されたしきい値の高い書き込み状態をデータ“0”として、消去状態は、これよりしきい値が低いデータ“1”状態である。

【0031】

以上の消去モードでは、2個のダミーセルDCにも16個のメモリセルMCと同じ電圧を印加している。従って、実際にデータ記憶に用いられる16個のメモリセルMC0～MC15のうち、ビット線BLに最も近いメモリセルMC0、ソース線SLに最も近いメモリセルMC15についても、他のメモリセルMC1～MC14と全く同じ消去動作条件となる。即ち、これらのメモリセルMC0、MC15について、従来のように選択ゲート線SGD、SGSからの容量結合の影響がなくなり、それらの浮遊ゲートには、他のメモリセルにおけると同じ電圧がかかる。言い換えれば、消去速度が全メモリセルMCについて一定になり、NANDセル内の消去しきい値のばらつきが低減される。

【0032】

データ読み出し時は、ビット線BLを例えば $V_{bl} = 0.5V$ にプリチャージした後、16個のワード線のうち選択ワード線に、図10に示すデータ“0”，“1”のしきい値分布を判別できる読み出し電圧 V_r を印加し、残りの非選択ワード線及びダミーワード線DWLには、データ“0”，“1”に拘わらずオンと

なるパス電圧 V_{read} を与える。選択ゲート線 SGD , SGS には例えば、電源電圧 V_{cc} (或いは V_{cc} より高い適当な中間電圧) を与える。これにより、選択メモリセルがオンしている場合はビット線電圧が下がり、オフの場合はビット線電圧が維持されるので、選択メモリセルのオンオフをビット線で検出することができ、データ判定ができる。

【0033】

データ書き込み時には、選択ワード線に書き込み電圧 V_{pgm} を与え、残りの非選択ワード線及びダミーワード線 DWL には、電源電圧 V_{cc} より高い適当な中間電圧 V_{pass} を与える。但し、この書き込み電圧印加に先立って、ビット線側の選択ゲート線 SGD を V_{cc} 、ソース線側の選択ゲート線 SGS を $0V$ とした状態で、ビット線 BL に書き込みデータ “0”, “1” に応じて V_{ss} , V_{cc} を与えて、NANDセルチャネルをプリチャージする。“0” データが与えられたチャネルは、 V_{ss} になり、“1” データが与えられたチャネルは $V_{cc} - V_{th}$ (V_{th} は選択ゲートトランジスタのしきい値) のフローティングになる。この状態で上述した書き込み電圧 V_{pgm} を与えることによって、“0” データが与えられたメモリセルでは、チャネルから浮遊ゲートに電子が注入される。“1” データが与えられたメモリセルでは、チャネルが容量カップリングにより電位上昇して、浮遊ゲートに電子が注入されない。こうして選択ワード線に沿って、“0” データが与えられたメモリセルは、図10に示すしきい値の高い “0” 書き込み状態になる。

【0034】

このデータ書き込みモードにおいても、非選択ワード線と同じ中間電圧 V_{pass} が与えられるダミーセル $DC0$, $DC1$ を設けたことによって、16個のメモリセルのどれが選択された場合にも、同じ書き込み条件となる。従って、書き込みデータのNANDセルユニット内のばらつきが低減され、書き込みしきい値の均一性が良好になる。

またこの実施の形態の場合、消去／書き込み／読み出し動作に関して、従来と異なる複雑な動作は必要がなく、従来と変わらない動作条件での動作が可能である。

【 0 0 3 5 】

更にこの実施の形態では、NANDセルユニットの製造上の素子特性のばらつきの影響が低減されるという効果も得られる。この点を具体的に説明する。一般に半導体メモリでは、メモリセルの微細化に伴い、周期性の乱れるセルアレイ端部でのパターン形成が難しくなっている。NAND型EEPROMでは、NANDセルユニットの一端がソース線SL、他端がビット線BLに接続される。このソース線及びビット線とセルアレイの間には選択ゲートトランジスタが挿入されている。選択ゲートトランジスタは、NANDセルユニットをソース線及びビット線から必要に応じて電氣的に完全に切り離すために、十分にカットオフできるように設計する必要がある。このため通常はセルのゲート長より長いゲート長のトランジスタが用いられる。この結果、ビット線及びソース線のコンタクト部を挟む2つの選択ゲート線の間隔が、ワード線の間隔とは異なり、更に選択ゲート線幅がワード線幅とも異なるため、ここでセルアレイの周期性が乱れる。このように、メモリセルアレイ端部では周期性がなくなるため、露光や加工が所望の寸法にできない事態が発生する。

【 0 0 3 6 】

この実施の形態では、選択ゲートトランジスタとメモリセルの間にダミーセルを配置しているために、実際にデータ記憶に用いられるメモリセルアレイの範囲で周期性が良好になり、加工寸法が一定になって素子特性が揃う。ダミーセルは寸法が所望のサイズから多少ずれても、情報を記憶させるメモリセルとしては動作させないため、問題にならない。

即ちダミーセルを配置しない場合は、セルのワード線幅を一定に保つために、選択ゲート線とワード線間の距離やワード線幅に工夫をする必要がある。例えば、選択ゲート線とこれに隣接するワード線との間の距離は、その他のワード線間の距離よりも大きくする。これに対してこの発明では、選択ゲート線脇にダミーセルを配置することにより、セルアレイ内の周期性の乱れがなくなり、ダミーセルの線幅は多少ずれても問題ないため、最小寸法でのパターン配置が可能となる。このとき、ダミーセル配置による面積ロスは実際には小さいものとなる。

【 0 0 3 7 】

〔実施の形態 2〕

実施の形態 2 による NAND 型 EEPROM のセルアレイ等価回路を図 6 に、平面図とその I-I' 断面図を図 7 及び図 8 に示す。先の実施の形態 1 と対応する部分には同じ符号を付して詳細な説明を省く。

【0038】

この実施の形態では、NAND セルユニットが 16 個のメモリセル MC0～MC15 を有し、そのセルアレイ構成及び構造は、従来と変わらない。実施の形態 1 におけるようなダミーセルを用いない。このようなセルアレイでは、従来と同じ消去、書き込み方法をとった場合には、先に説明したように、消去しきい値や書き込みしきい値にワード線依存性が生じる。

そこでこの実施の形態では、選択ゲートトランジスタに隣接するメモリセルについて、他のメモリセルとは異なるバイアス電圧条件を適用することによって、上述したワード線依存性をなくす。

【0039】

具体的に、図 9 は、この実施の形態での各動作モードでのバイアス関係を示している。データ消去時は、通常 NAND セル内の全ワード線に同じ 0 V を印加するのに対して、この実施の形態では、選択ゲート線 SGD, SGS に隣接するワード線 WL0, WL15 に 0 V を印加し、残りのワード線 WL1～WL14 には、これより高い 0.7 V を印加する。ここで、0.7 V は、図 14 に示した消去しきい値のワード線依存性から、WL1, WL16 と WL2～WL15 のしきい値の差に相当する。他の条件は従来と同じであり、選択ゲート線 SGD, SGS、ソース線 SL、ビット線 BL はフローティング、消去ブロックの p 型ウェルには、消去電圧 $V_{era} = 18 \text{ V}$ を印加する。

【0040】

このように、選択ゲート脇のメモリセルの制御ゲートに与える低レベル電圧を、それ以外のメモリセルに与えるそれより低く設定することにより、消去後のしきい値分布を揃えることが可能になる。更に、各ワード線の電圧を 0 V にして消去後に各ワード線毎のしきい値の平均値を比較して、それぞれのワード線のしきい値のズレに対応した電圧を消去時のワード線電圧とすることにより、より消去

後のしきい値分布を狭くすることが可能となる。このとき、最も消去しきい値の高い（従って消去されにくい）メモリセルのしきい値を基準にし、そのしきい値の差に応じた電圧を消去時にワード線に印加する。

【0041】

データ書き込みについては、選択ゲート線SGD、SGSに隣接するワード線WL0又はWL15が選択されたときと、他のワード線WL1～WL14のなかの一つが選択されたときとで、書き込みパルス電圧のステップアップ条件を異ならせる。先の実施の形態では、ステップ書き込みを説明しなかったが、通常のNAND型EEPROMでは、1ワード線に沿った複数メモリセル分（1ページ分）の書き込みデータを、ビット毎に書き込み状態を確認しながら、ワード線電圧をステップ的に変化させる方法が用いられる。

【0042】

即ち図12に示すように、書き込みデータをセットし（S1）、全ビットの書き込みが終了していないことを確認して（S2）、書き込みパルス電圧 V_{pgm} の初期値を設定する（S3）。そして、書き込みパルスを印加し（S4）、その後ビット毎に書き込み状態を確認するベリファイ読み出し判定を行う（S5）。判定がNOであれば、書き込みパルス電圧をステップアップして、同様の書き込みとベリファイ読み出しを繰り返す。ベリファイ判定でPassになると、保持されている書き込みデータの対応ビットを反転させて、以後そのビットは書き込みを行わないようにする。そして、1ページ分の全ビットが書き込み終了したことを判定して（S2）、書き込みサイクルを終了する。

【0043】

図11は、この様な書き込みサイクル制御を行うに際して、ワード線WL1～WL14の一つが選択された場合と、ワード線WL0、WL15が選択された場合のステップアップ電圧を示している。即ち、ワード線WL1～WL14の一つが選択された場合には、書き込みパルス電圧の初期値を V_{pgm0} とし、ワード線WL0、WL15が選択された場合には、それより僅かに高い初期値 $V_{pgm0} + \Delta V$ を用いる。図15に示したように、同じ書き込み条件では、選択ゲートトランジスタ脇のメモリセルは、他のメモリセルに比べて書き込みが遅れる。こ

れに対して、上述のように書き込みパルスの初期値を設定することにより、書き込みループ回数を、ワード線によらずほぼ一定にして、均一な書き込みしきい値分布を得ることができる。

【 0 0 4 4 】

【発明の効果】

以上述べたようにこの発明によれば、消去或いは書き込みしきい値のばらつき低減を図った不揮発性半導体メモリ装置を提供することができる。

【図面の簡単な説明】

【図 1】

この発明の実施の形態 1 による NAND 型 EEPROM のブロック構成を示す図である。

【図 2】

同実施の形態 1 のメモリセルアレイの等価回路である。

【図 3】

同メモリセルアレイの平面図である。

【図 4】

図 3 の I - I ' 断面図である。

【図 5】

同実施の形態 1 の各動作モードのバイアス関係を示す図である。

【図 6】

実施の形態 2 のメモリセルアレイの等価回路である。

【図 7】

同メモリセルアレイの平面図である。

【図 8】

図 7 の I - I ' 断面図である。

【図 9】

同実施の形態 2 の各動作モードのバイアス関係を示す図である。

【図 1 0】

データのしきい値分布を示す図である。

【図 1 1】

同実施の形態 2 の書き込みパルス印加の様子を示す図である。

【図 1 2】

同実施の形態 2 の書き込みシーケンスを示す図である。

【図 1 3】

従来の NAND 型 EEPROM の問題点を説明するための図である。

【図 1 4】

従来の NAND 型 EEPROM の消去しきい値のワード線依存性を示す図である。

【図 1 5】

従来の NAND 型 EEPROM の書き込みしきい値のワード線依存性を示す図である。

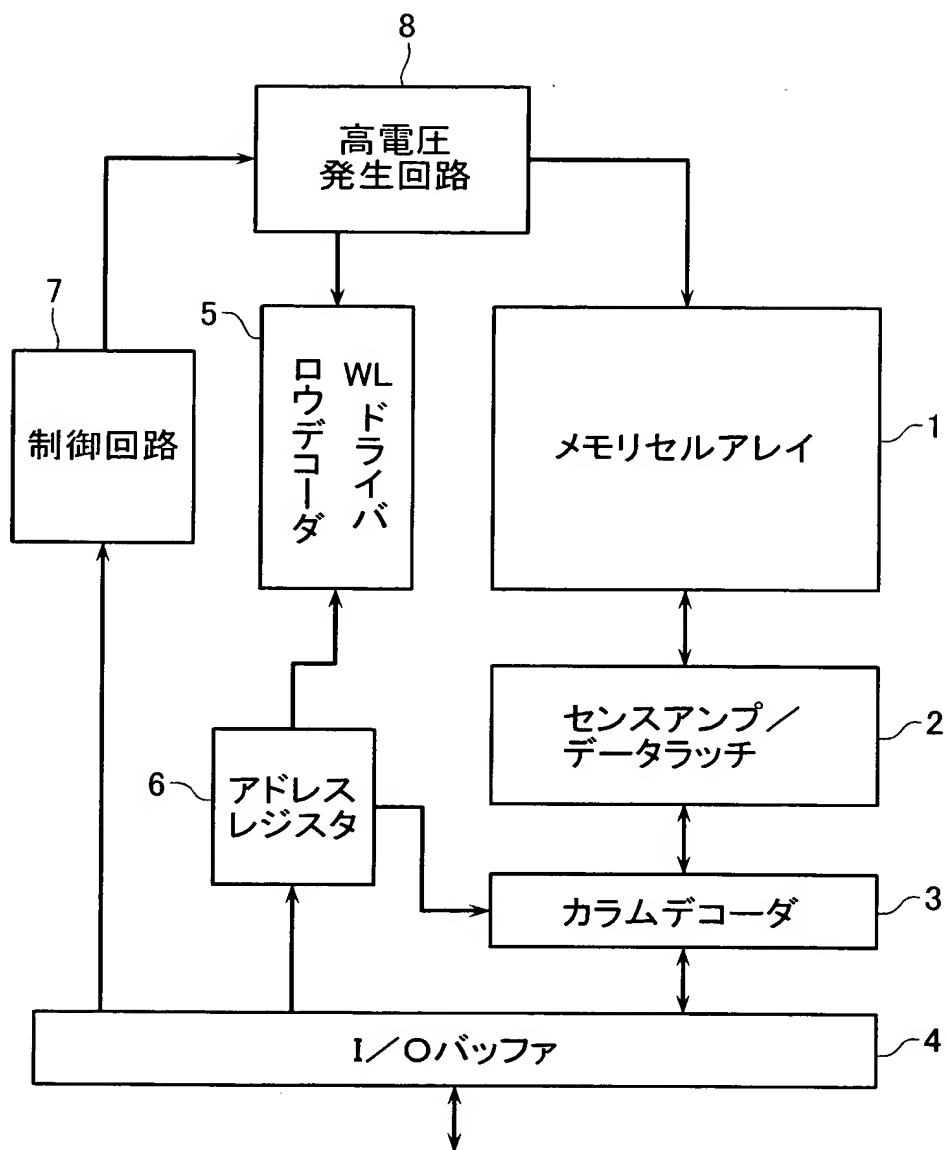
【符号の説明】

1…メモリセルアレイ、2…センスアンプ兼データラッチ、3…カラムデコーダ、4…I/Oバッファ、5…ロウデコーダ/ワード線ドライバ、6…アドレスレジスタ、7…制御回路、8…高電圧発生回路、MC0～MC15…メモリセル、DC0, DC1…ダミーセル、SG1, SG2…選択ゲートトランジスタ、BL…ビット線、SL…ソース線、WL0～WL15…ワード線、DWL0, DWL1…ダミーワード線、SGD, SGS…選択ゲート線。

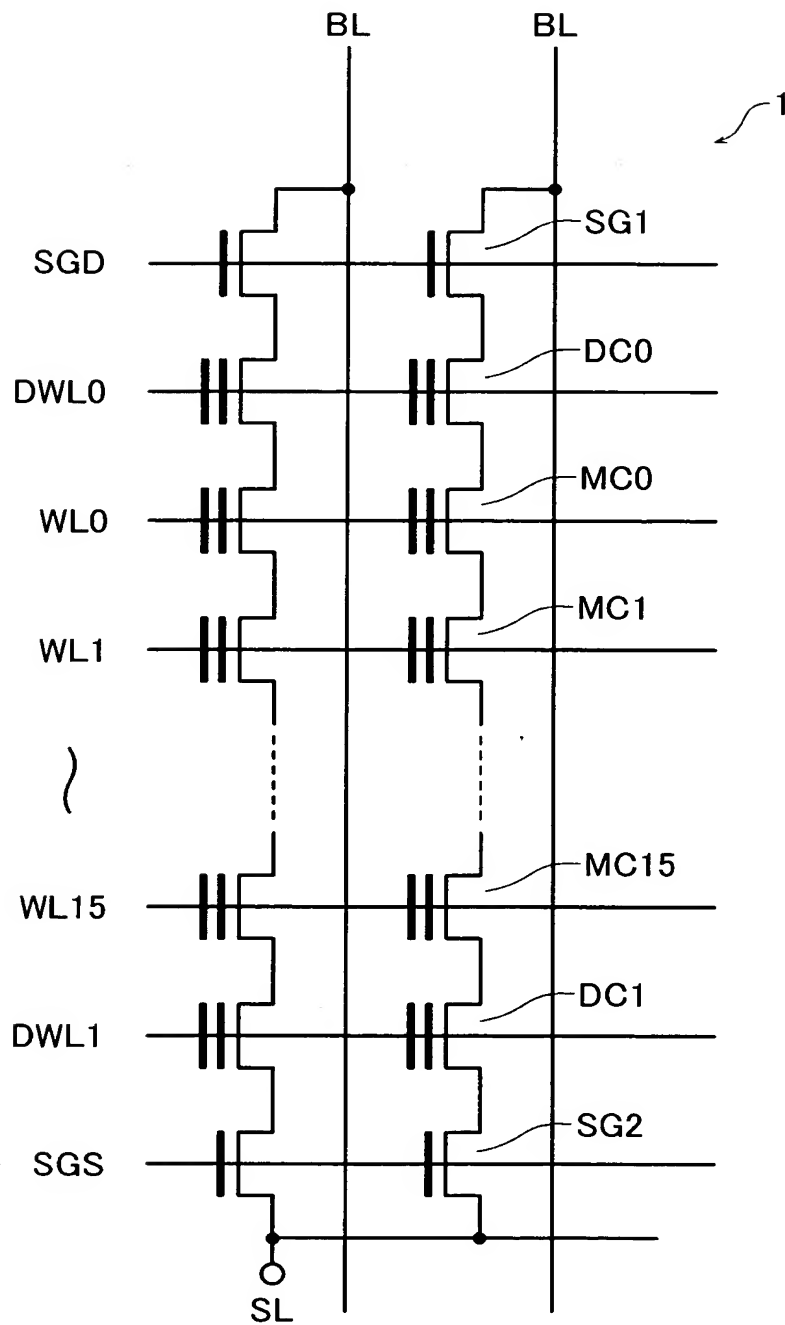
【書類名】

図面

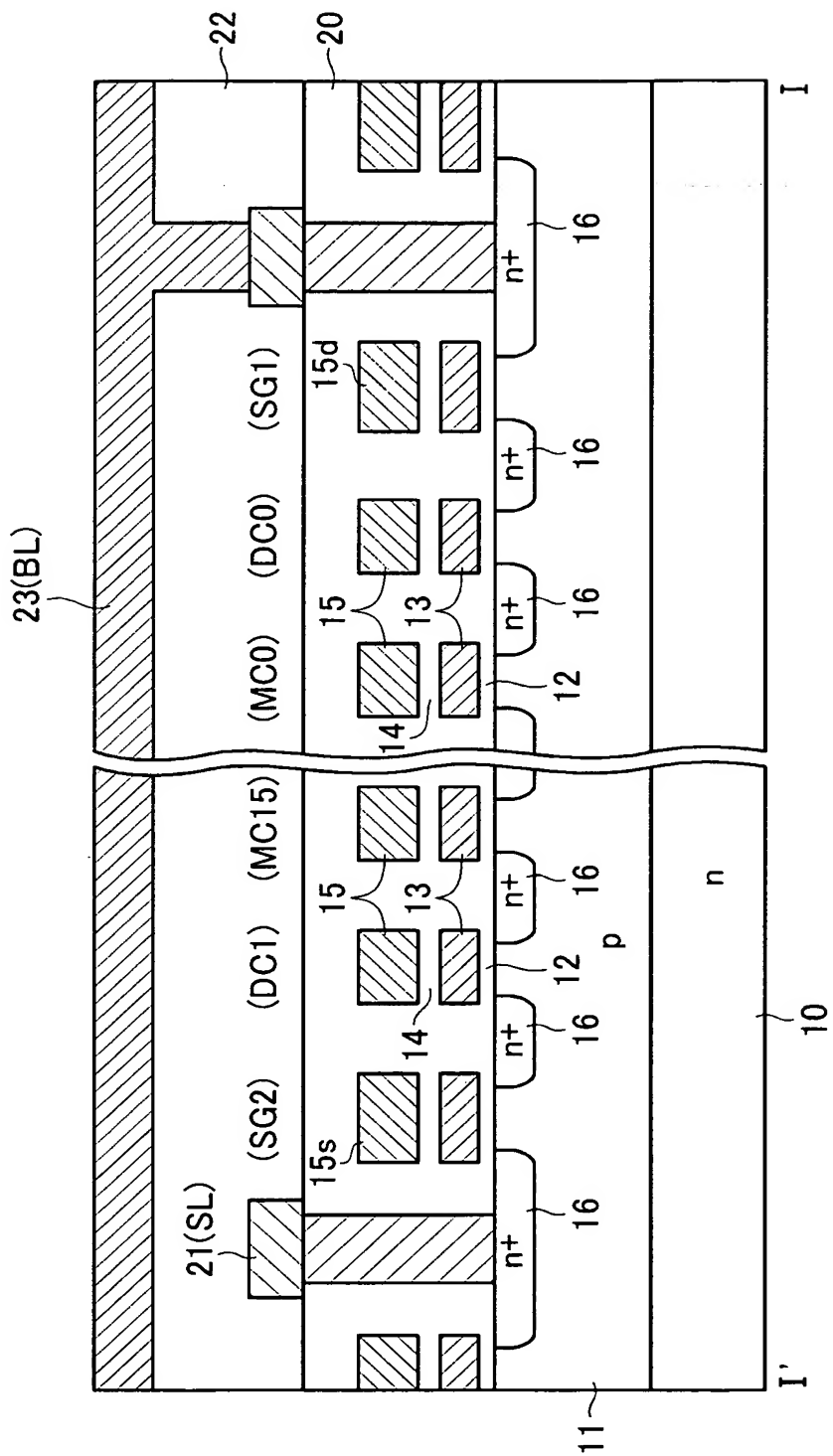
【図 1】



【図 2】



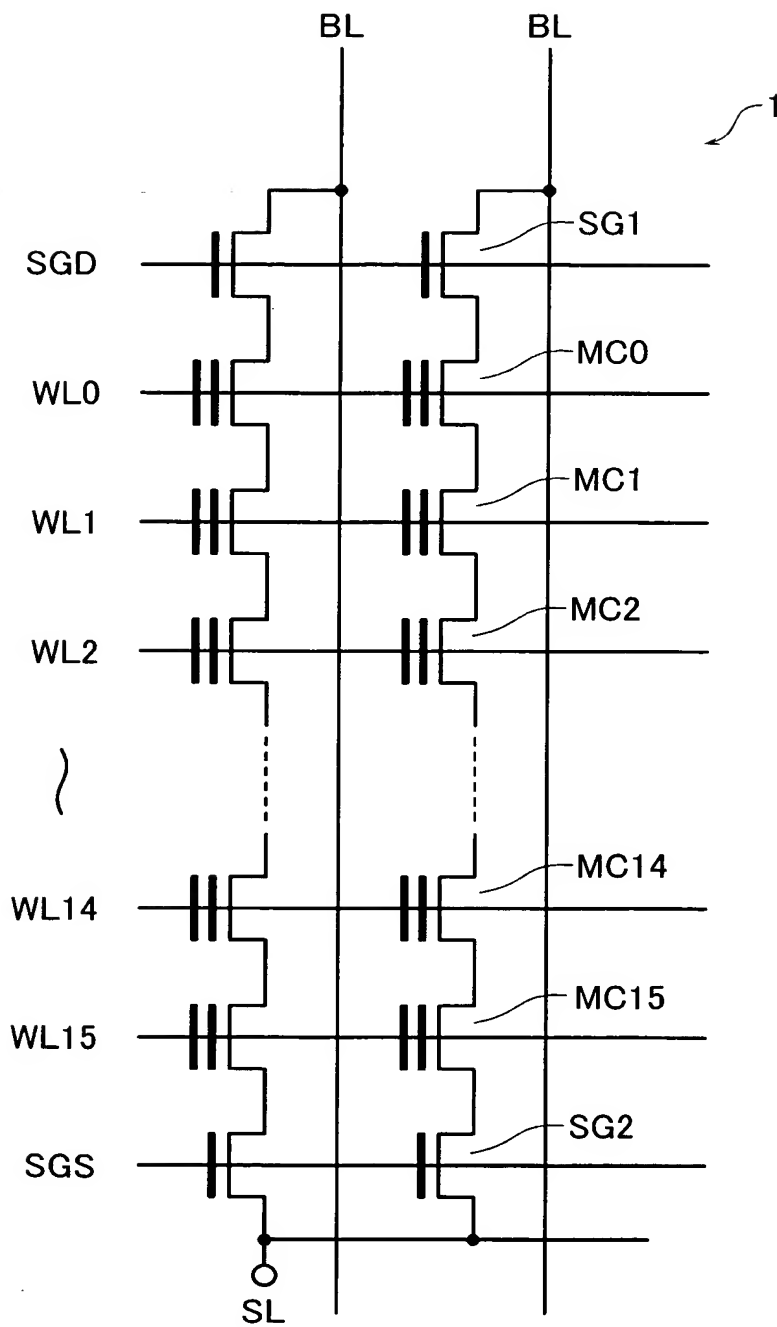
【図 4】



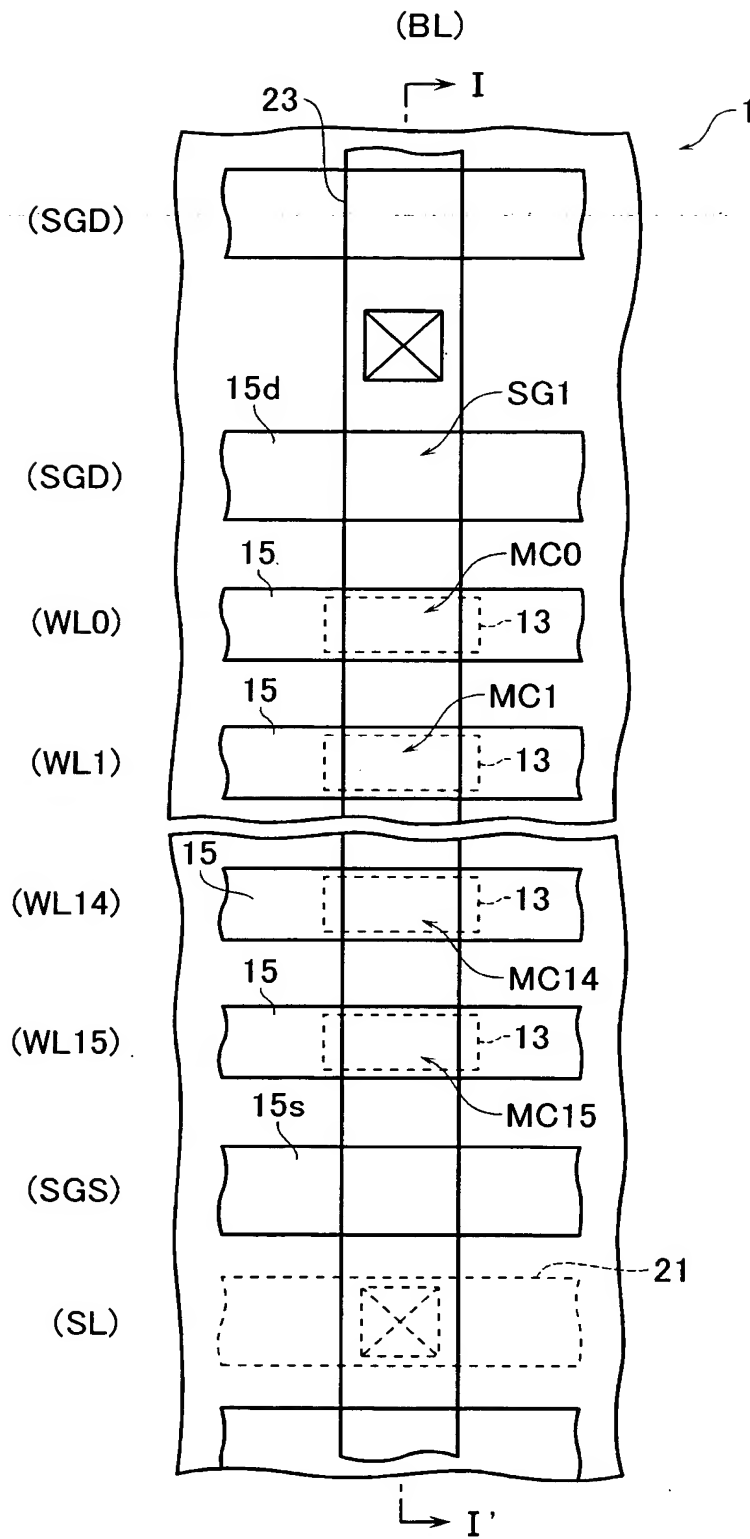
【図 5】

	読み出し	消 去	書き込み
BL	$V_{bl}=0.5V$	フローティング	"0" - V_{ss} "1" - V_{cc}
SGD	V_{cc}	フローティング	V_{cc}
WL	選択 - V_r 非選択 - V_{read}	0V	選択 - V_{pgm} 非選択 - V_{pass}
DWL	V_{read}	0V	V_{pass}
SGS	V_{cc}	フローティング	0V
SL	0V	フローティング	0V
Pウエル	0V	$V_{era}=18V$	0V

【図 6】



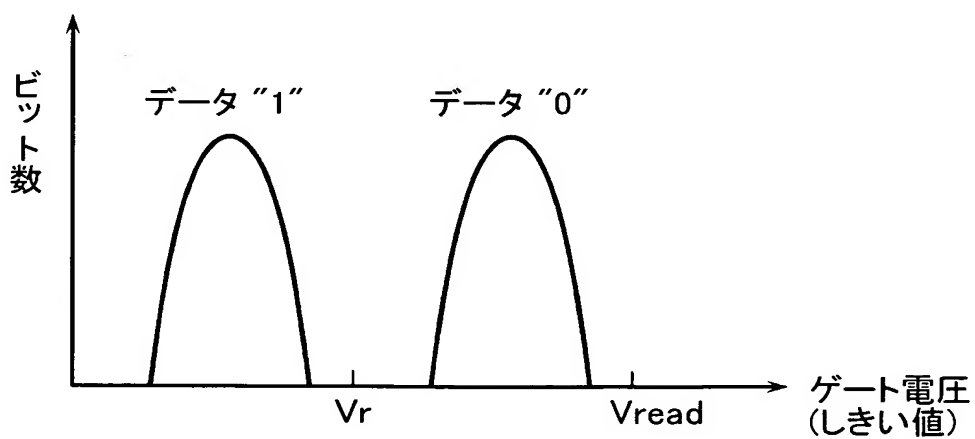
【図 7】



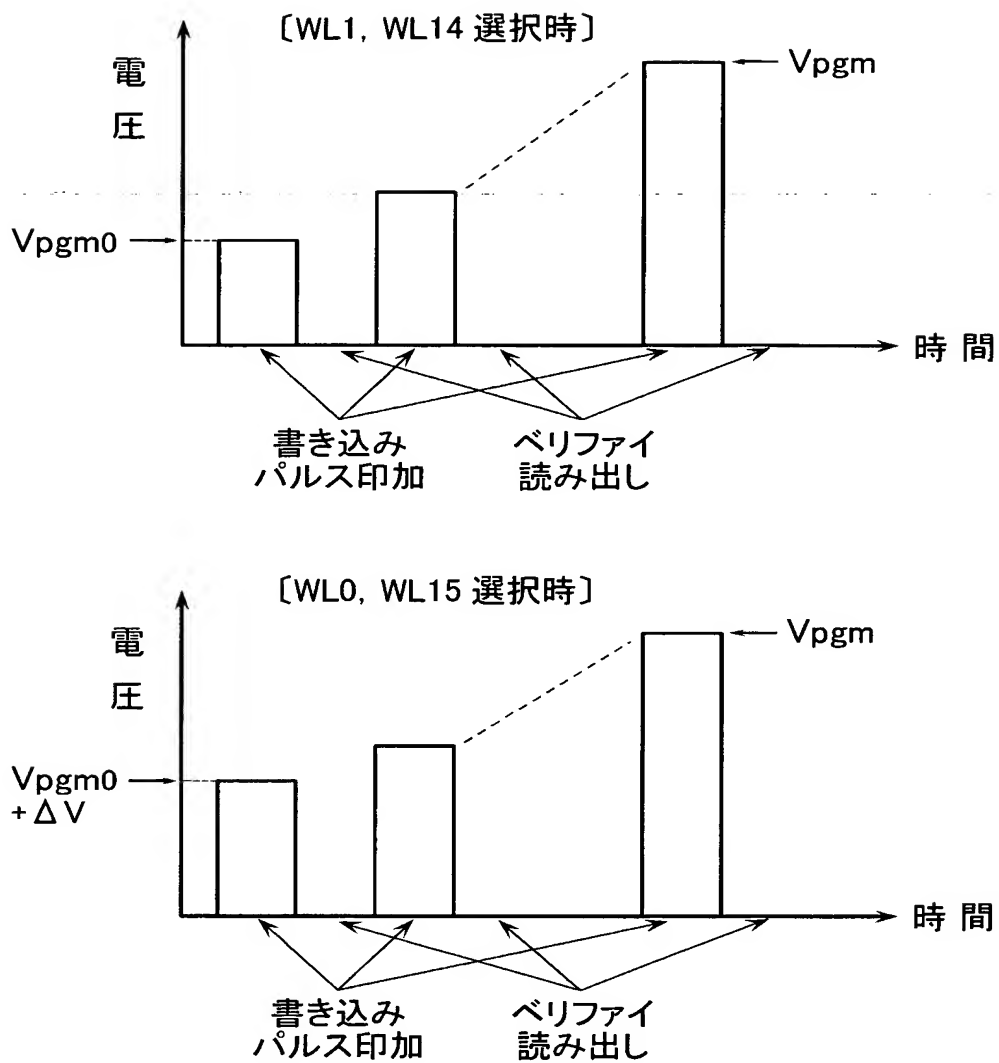
【図 9】

	読み出し	消 去	書き込み
BL	$V_{bl}=0.5V$	フローティング	"0" - V_{ss} "1" - V_{cc}
SGD	V_{cc}	フローティング	V_{cc}
WL	選択 - V_r 非選択 - V_{read}	WL0, WL15 - $0V$ WL1 ~ WL14 - $0.7V$	WL0, WL15 選択時 $V_{pgm0} + \Delta V$ WL1 ~ WL14 選択時 V_{pgm0}
SGS	V_{cc}	フローティング	$0V$
SL	$0V$	フローティング	$0V$
Pウエル	$0V$	$V_{era}=18V$	$0V$

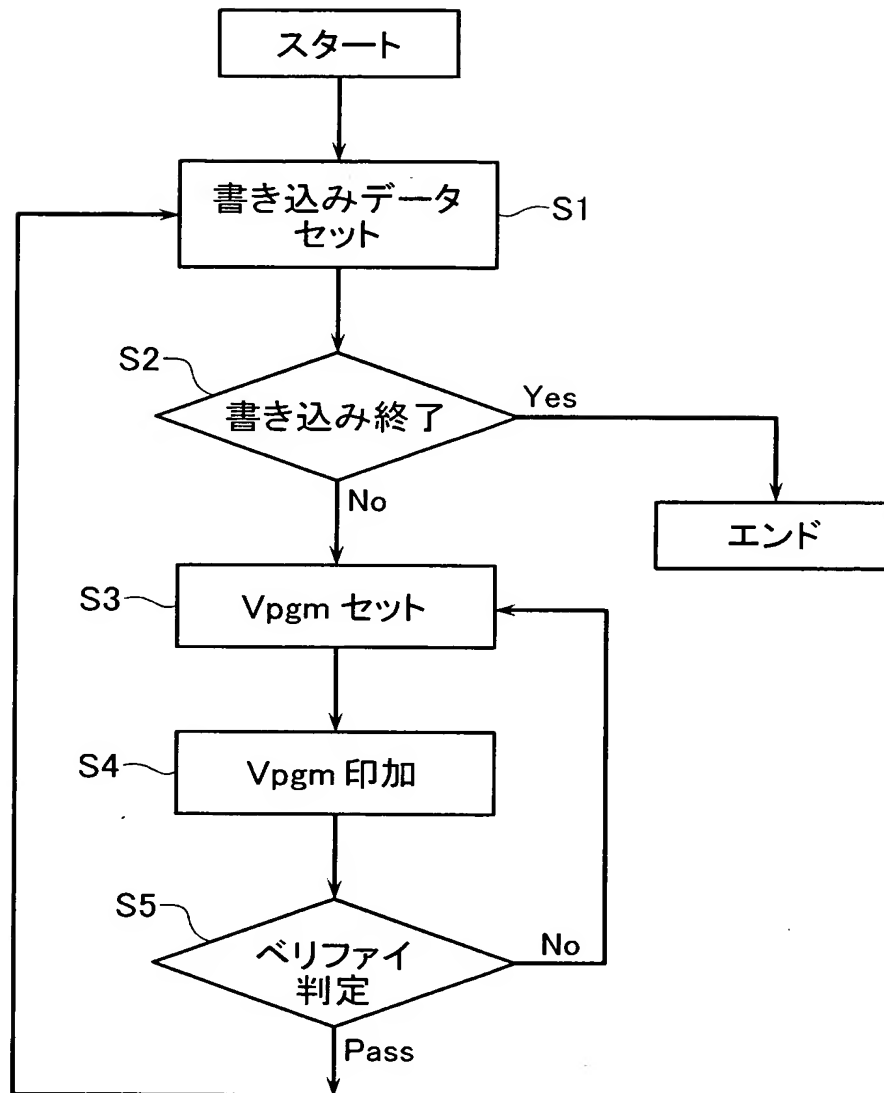
【図 10】



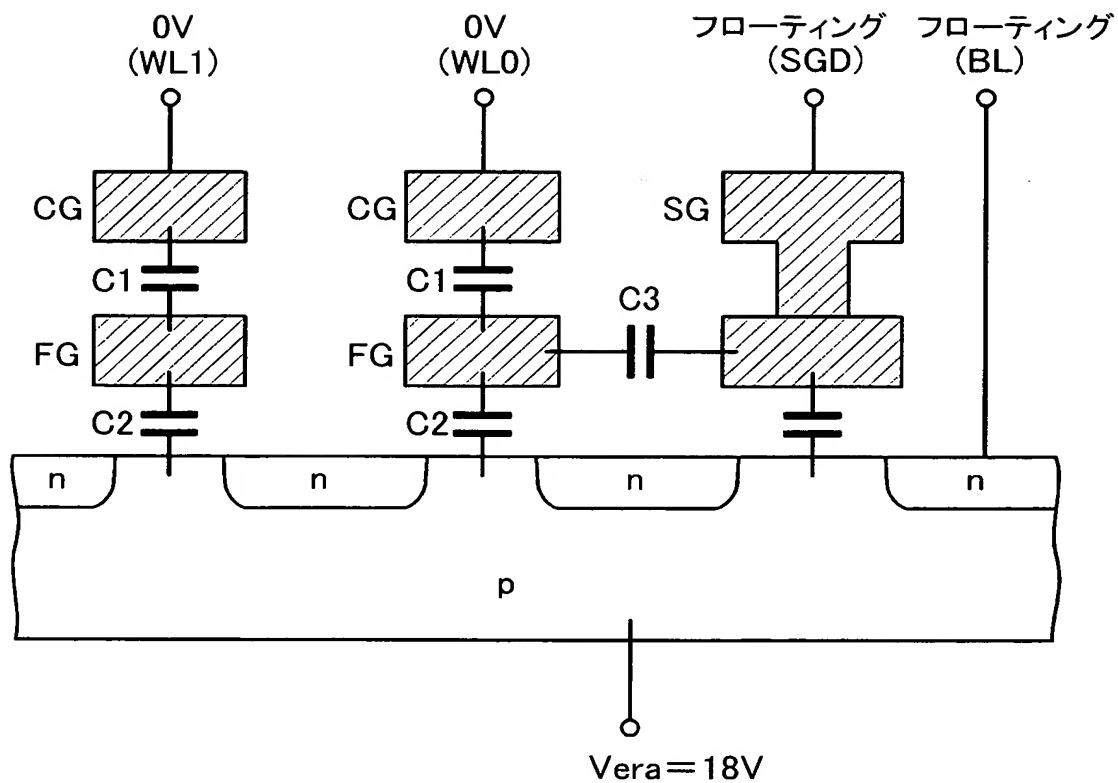
【図 11】



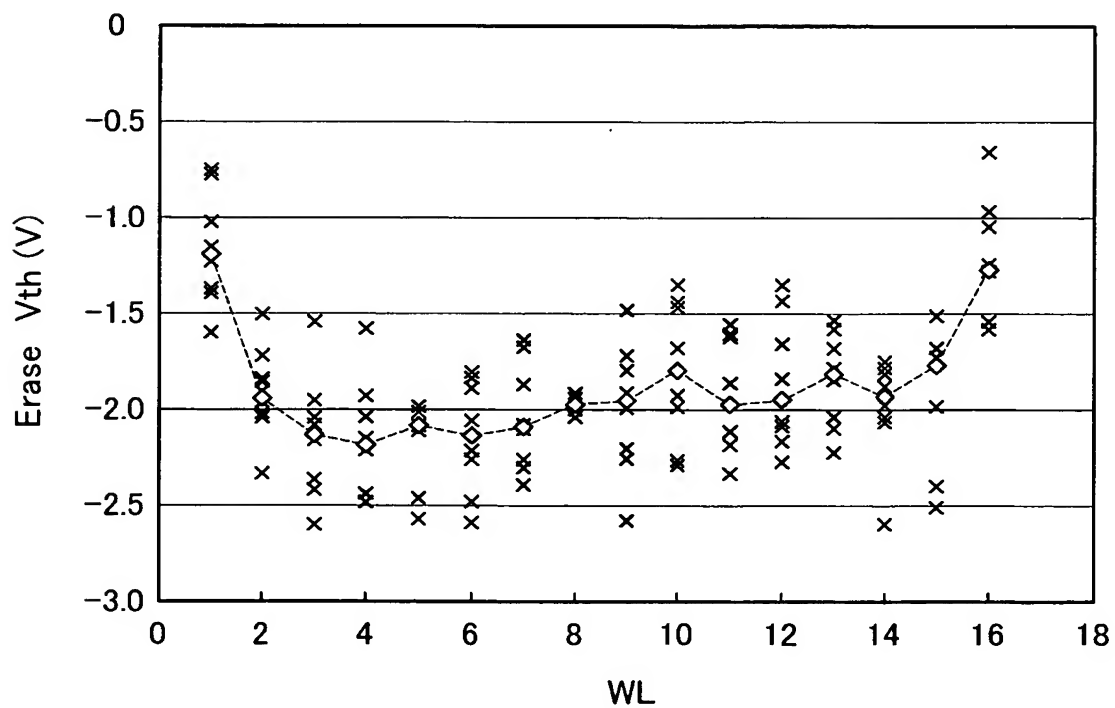
【図 12】



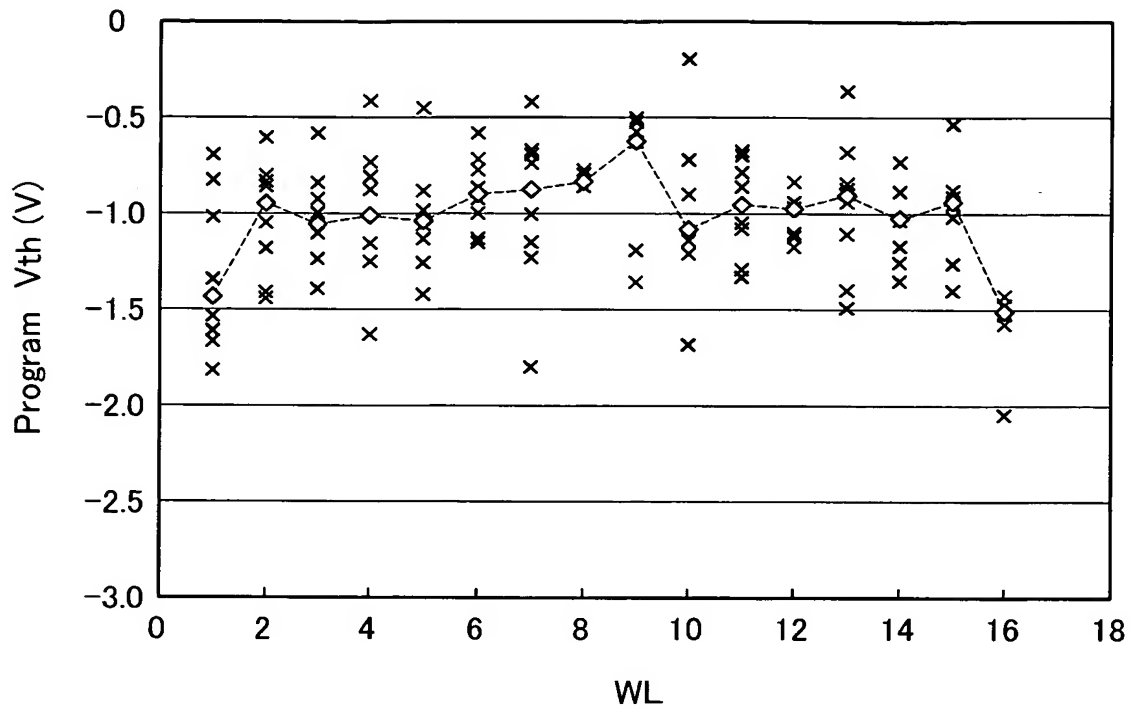
【図 13】



【図 14】



【図 15】



【書類名】 要約書

【要約】

【課題】 消去或いは書き込みしきい値のばらつき低減を図った不揮発性半導体メモリ装置を提供する。

【解決手段】 複数個直列接続された電氣的書き換え可能な不揮発性メモリセルと、この直列接続されたメモリセルに直列接続された選択ゲートトランジスタとを有する不揮発性半導体メモリ装置において、選択ゲートトランジスタに隣接するメモリセルは、データ記憶には用いられないダミーセルであって、データ消去時に他のメモリセルと同じバイアス電圧が印加される。

【選択図】 図 2

特願 2002-286055

出 願 人 履 歴 情 報

識別番号

[000003078]

1. 変更年月日

2001年 7月 2日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目1番1号

氏 名

株式会社東芝